

## Patent Abstracts of Japan

PUBLICATION NUMBER : 09148671  
 PUBLICATION DATE : 06-06-97

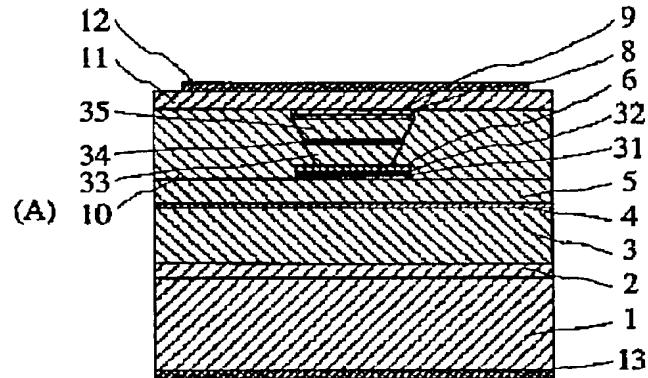
APPLICATION DATE : 28-11-95  
 APPLICATION NUMBER : 07308756

APPLICANT : HITACHI LTD;

INVENTOR : NOMOTO ETSUKO;

INT.CL. : H01S 3/18

TITLE : SEMICONDUCTOR LASER AND  
 MANUFACTURE THEREOF



ABSTRACT : PROBLEM TO BE SOLVED: To obtain a ridge waveguide-type semiconductor laser which is capable of oscillating stably in a signal lateral mode outputting a high output power even if a laser beam is enlarged in beam diameter so as to be enhanced in optical damage level.

SOLUTION: A ridge waveguide-type semiconductor laser is equipped with a double-hetero structure equipped with an active layer which emits light, a stripe-like optical waveguide layer 6 which is set higher in refractive index than its surroundings so as to trap light in a direction in parallel with a substrate, a ridge which is provided above the optical waveguide layer 9 to guide carriers to the active layer 4, and a current block layer 10 buried in the side face of the ridge. A part or all of the optical waveguide layer 6 is set larger in width than a part of the ridge which comes into contact with the optical waveguide layer 6. A substrate 1 is set N-type in polarity, and the side faces of the ridge are made up with a (111) A plane and a (111) B plane.

COPYRIGHT: (C)1997,JPO

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-148671

(43)公開日 平成9年(1997)6月6日

(51)Int.Cl.  
H 0 1 S 3/18

識別記号

府内整理番号

F I  
H 0 1 S 3/18

技術表示箇所

審査請求 未請求 請求項の数11 O.L (全 7 頁)

(21)出願番号

特願平7-308756

(22)出願日

平成7年(1995)11月28日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 豊中 隆司

神奈川県横浜市戸塚区戸塚町216番地 株

式会社日立製作所光技術開発推進本部内

(72)発明者 佐川 みすず

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(72)発明者 平本 清久

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(74)代理人 弁理士 小川 勝男

最終頁に続く

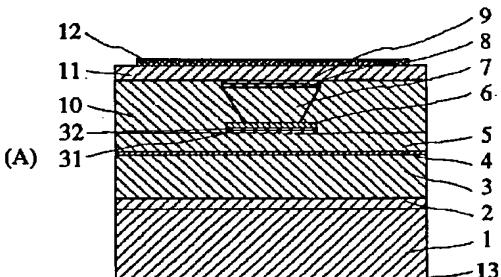
(54)【発明の名称】 半導体レーザおよびその製造方法

(57)【要約】

【課題】リッジ導波路型半導体レーザにおいて、光学的破壊レベルを増大させるべく光ビーム径を大きくした場合でも、高い光出力において安定な単一横モードで発振する半導体レーザを実現する。

【解決手段】光を発生する活性層4を含むダブルヘテロ構造と、周囲よりも屈折率が高く、光を基板に平行な方向に対し閉じ込めるためのストライプ状の光導波路層6と、その上部に、キャリアを活性層4に導くリッジ部と、リッジ部の側面上に埋め込まれた電流ブロック層10を含むリッジ導波路型半導体レーザにおいて、一部または全部の光導波路層6の幅が、リッジ部の光導波路層6に接する部分の幅より広い。また、基板1の極性がn型であり、リッジの側面は(111)A面及び(111)B面からなる。

図 1



## 【特許請求の範囲】

【請求項1】半導体の基板上に、光を発生する活性層と前記活性層を上下から挟み光を前記基板に垂直な方向に閉じ込めるクラッド層からなるダブルヘテロ構造の活性層にキャリアを注入できる少なくとも1対の電極、発生した光からレーザ光を得るための共振器構造を有し、前記ダブルヘテロ構造の上部に、周囲よりも屈折率が高く、光を前記基板に平行な方向に閉じ込めるためのストライプ状の光導波路層、前記光導波路層の上部に、前記基板と反対の極性の電極から注入されたキャリアを前記活性層に導くリッジ部、前記リッジ部の側面上に埋め込まれた電流プロック層を含む半導体レーザにおいて、一部または全部の前記光導波路層の幅が、前記リッジ部の前記光導波路層に接する部分の幅より広いことを特徴とする半導体レーザ。

【請求項2】請求項1において、前記半導体基板の極性がn型である半導体レーザ。

【請求項3】請求項1または請求項2において、前記半導体基板がGaAsである半導体レーザ。

【請求項4】請求項3において、前記活性層が、膜厚が電子のドゥブロイ波長以下のInGaAs量子井戸層を含む半導体レーザ。

【請求項5】請求項4において、前記クラッド層、前記リッジ部、前記電流プロック層が、GaAsに格子整合するInGaPである半導体レーザ。

【請求項6】請求項4において、前記クラッド層、前記リッジ部、前記電流プロック層が、GaAsに格子整合するAlGaAsである半導体レーザ。

【請求項7】請求項1、2、3、4、5または6において、前記基板の面方位が(001)または(001)からの傾斜が15度以内である半導体レーザ。

【請求項8】請求項1、2、3、4、5、6または7において、前記リッジ部の側面が(111)A面及び(111)B面から構成されている半導体レーザ。

【請求項9】請求項8において、前記リッジ部内に、前記リッジ部を構成する材料よりもエッティングレートの低い層を含む半導体レーザ。

【請求項10】半導体基板上に、少なくとも、光を発生する活性層と前記活性層を上下から挟み光を基板に垂直な方向に閉じ込めるクラッド層からなるダブルヘテロ構造、リッジ形成用クラッド層、第一エッティング液に対するエッティングレートが前記リッジ形成用クラッド層より低く、屈折率が上下に接するいずれの層より高い光導波路層、第二エッティング液に対するエッティングレートが前記光導波路層より低い第一エッティングトップ層、前記第一エッティング液に対するエッティングレートが前記リッジ形成用クラッド層より低い第二エッティングトップ層とを、前記ダブルヘテロ構造、前記第二エッティングトップ層、前記第一エッティングトップ層、前記光導波路層、前記リッジ形成用クラッド層の順に結晶成長する工程と、前記第一エッティング液により前記リッジ形成用クラッド層を、前記第三エッティングトップ層が露出し、側面が(111)A面であるリッジ状になるようにエッティングする工程と、第二エッティング液により前記第三エッティングトップ層を除去した後、前記第一エッティング液により前記リッジ形成用クラッド層を、前記光導波路層が露出し、側面が(111)B面であるリッジ状になるようにエッティングする工程と、前記リッジ部をマスクとして前記第二エッティング液により前記光導波路層をストライプ状に残し且つ前記第一エッティングトップ層が露出するまでエッティングする工程と、前記第一エッティング液により前記リッジ部の側面を、前記リッジ部が前記光導波路層と接する部分の幅が前記光導波路層の幅より狭くなるようにエッティングする工程と、前記リッジ部の側面上に電流プロック層を埋込成長する工程をこの順に包含することを特徴とする半導体レーザの製造方法。

程と、前記第一エッティング液により前記リッジ形成用クラッド層をリッジ状に且つ前記光導波路層が露出するまでエッティングする工程と、前記リッジ部をマスクとして前記第二エッティング液により前記光導波路層をストライプ状に残し、前記第一エッティングトップ層が露出するまでエッティングする工程と、前記第一エッティング液により前記リッジ部の側面を、前記リッジ部が前記光導波路層と接する部分の幅が前記光導波路層の幅より狭くなるようにエッティングする工程と、前記リッジ部の側面上に電流プロック層を埋込成長する工程をこの順に包含することを特徴とする半導体レーザの製造方法。

【請求項11】半導体基板上に、少なくとも、光を発生する活性層と活性層を上下から挟み光を基板に垂直な方向に対し閉じ込めるクラッド層からなるダブルヘテロ構造、第一エッティング液に対するエッティングレートが上下の層より低い第三エッティングトップ層を内部に含むリッジ形成用クラッド層、第一エッティング液に対するエッティングレートが前記リッジ形成用クラッド層より低く、屈折率が上下に接するいずれの層より高い光導波路層、20 第二エッティング液に対するエッティングレートが前記光導波路層より低い第一エッティングトップ層、前記第一エッティング液に対するエッティングレートが前記リッジ形成用クラッド層より低い第二エッティングトップ層とを、前記ダブルヘテロ構造、前記第二エッティングトップ層、前記第一エッティングトップ層、前記光導波路層、前記リッジ形成用クラッド層の順に結晶成長する工程と、前記第一エッティング液により前記リッジ形成用クラッド層を、前記第三エッティングトップ層が露出し、側面が(111)A面であるリッジ状になるようにエッティングする工程と、第二エッティング液により前記第三エッティングトップ層を除去した後、前記第一エッティング液により前記リッジ形成用クラッド層を、前記光導波路層が露出し、側面が(111)B面であるリッジ状になるようにエッティングする工程と、前記リッジ部をマスクとして前記第二エッティング液により前記光導波路層をストライプ状に残し且つ前記第一エッティングトップ層が露出するまでエッティングする工程と、前記第一エッティング液により前記リッジ部の側面を、前記リッジ部が前記光導波路層と接する部分の幅が前記光導波路層の幅より狭くなるようにエッティングする工程と、前記リッジ部の側面上に電流プロック層を埋込成長する工程をこの順に包含することを特徴とする半導体レーザの製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明はリッジ導波路型半導体レーザに係り、特に、光通信システムにおける希土類添加光ファイバ増幅器の励起光源に関する。

## 【0002】

【従来の技術】現在、希土類添加光ファイバ増幅器の励起光源として盛んに研究されているInGaAs歪量子

井戸活性層を有するリッジ導波路型  $0.98 \mu\text{m}$  帯半導体レーザを例に説明する。このレーザの従来構造の代表例として、エレクトロニクスレターズ、ボリューム 30, ナンバー 17, 1994 年, 第 1410 頁から第 1411 頁 (Electronics Letters, volume 14, Number 17, 1994, pp. 1410~1411) が挙げられる。

【0003】この断面図を図 2 に示す。同図において、(A) は素子部全体の断面図を、(B) はその活性層部の断面、(C) は光導波路部の断面をそれぞれ示している。上記従来構造は、リッジ部をマスクとして直下の光導波路層 6 をストライプ状にエッチングした後、リッジ部側面が電流プロック層 10 により埋め込まれている。光導波路層 6 は周囲より屈折率の高い層であるため、屈折率導波構造となり、活性層 4 で発生するレーザ光が閉じ込められる。一方、レーザに注入された電流は、電流プロック層 10 のため、リッジ部内のみに分布する。リッジ部と光導波路層の中心を自己整合的に一致させられるため、活性層における光強度分布とキャリア分布のピークが一致するという長所がある。

#### 【0004】

【発明が解決しようとする課題】図 2 の従来構造の場合、光導波路層 6 の幅  $W_1$  は、キンク発生光出力と端面の光学的破壊（素子自身から発生するレーザ光により素子端面が溶融する現象）等の素子特性を決定する重要なパラメータである。 $W_1$  が小さいほど、前面における光密度が増大し、より低い光出力で光学的破壊が生じる。逆に  $W_1$  が大きいほど、キンク発生光出力が減少する。キンクが発生する原因は、光強度が大きくなると光強度のピーク部でキャリアが不足し、横方向のホールバーニングが生じ、光強度分布とキャリア分布のピークが一致しなくなり、光強度分布が非対称となる、あるいは高次モードが励起されるからである。 $W_1$  が増大するほど、活性層 4 内における横方向のキャリアの拡散が、キャリアの消費に追いつかなくなり、キンク発生光出力が減少する。

【0005】以上から、光学的破壊レベルを増大させるために  $W_1$  を大きくした場合に、キンク発生光出力が減少し、光ファイバとの結合損失が増大するという問題があった。図 5 は従来構造の素子の室温 (25°C) における電流対光出力特性の一例である。光出力  $120 \text{ mW}$  付近でキンクが生じており、これより高い光出力で使用することは困難である。

【0006】本発明の目的は、希土類添加光ファイバ増幅器の励起光源として用いられる、InGaAs 歪量子井戸活性層を有するリッジ導波路型  $0.98 \mu\text{m}$  帯半導体レーザ等のリッジ導波路型半導体レーザにおいて、光学的破壊レベルを増大させるべく光導波路層の幅を大きくした場合でも、安定な单一横モードを保つ素子構造とその製造方法を提供することにある。

#### 【0007】

【課題を解決するための手段】上記目的はリッジ導波路型半導体レーザにおいて、リッジ部の底、即ち光導波路層に接する部分の幅を、光導波路層より狭くすることにより達成される。また、上記目的は、半導体基板を  $n$  型とすることにより達成される。また、上記目的は、半導体基板が GaAs とすることにより達成される。また、上記目的は、半導体基板が GaAs である場合は特に、活性層を InGaAs 量子井戸層を含む超格子構造とすることにより達成される。また、上記目的は、活性層が InGaAs 量子井戸層を少なくとも 1 層含む超格子構造である場合、クラッド層、リッジ部、リッジ部の側面を埋め込む電流プロック層を、GaAs に格子整合する InGaP とすることにより、またはクラッド層、リッジ部、リッジ部の側面を埋め込む電流プロック層を、GaAs に格子整合する AlGaAs とすることにより達成される。また、上記目的は、基板の面方位を (001) または (001) からの傾斜が 15 度以内とすることにより達成される。また、上記目的は、リッジ部の側面を (111) A 面及び (111) B 面から構成することにより達成される。

【0008】上記手段により、リッジ部から注入されるキャリアは、活性層内の光強度分布のピーク部に集中して分布する。このため、光強度が大きい場合でも、光強度分布とキャリア分布のピークは一致しており、光強度分布が非対称となったり、あるいは高次モードが励起されることがない。従って、リッジ導波路型半導体レーザにおいて、光学的破壊レベルを増大させるべく光導波路層の幅を大きくした場合でも、安定な单一横モードを保つ半導体レーザ素子を実現することができる。

#### 【0009】

##### 【発明の実施の形態】

(実施例 1) 本発明の第一の実施例を図 1 を用いて説明する。図 1 (A) は、本実施例の素子の断面構造を、図 1 (B) は、活性層付近の断面構造の拡大図を、図 1 (C) は、三層光導波路の断面図を示している。

##### 【0010】

次に、素子の作製方法について述べる。

(100) 面を持つ Si ドープ  $n$  型 GaAs 基板 1 上に  $n$  型 GaAs バッファ層 2 (膜厚  $0.2 \mu\text{m}$ )、 $n$  型 InGaP クラッド層 3 (膜厚  $1.5 \mu\text{m}$ )、1 層の  $In_{0.16}Ga_{0.84}As$  歪量子井戸層 23 (膜厚  $7 \text{ nm}$ ) とこれを挟む 2 層の InGaAsP 障壁層 22, 24 (バンドギャップ波長  $810 \text{ nm}$ , 歪量  $-0.3\%$ , 膜厚  $10 \text{ nm}$ )、2 層の InGaAsP-SCH (Separate Confinement Heterostructure) 層 21, 25 (バンドギャップ波長  $790 \text{ nm}$ , 膜厚  $20 \text{ nm}$ ) より構成される歪量子井戸活性層 4, p 型 InGaP クラッド層 5 (膜厚  $0.25 \mu\text{m}$ )、p 型 GaAs エッチングストップ層 31 (膜厚  $1 \text{ nm}$ )、p 型 InGaP エッチングストップ層 32 (膜厚  $1 \text{ nm}$ )、1 層の p 型 GaAs 層 27 (膜厚  $5$

5

n m) とこれを挟む2層のp型InGaAsP層26, 28(バンドギャップ波長790 nm, 膜厚2.5 nm)より構成される三層光導波路層6, p型InGaAsPクラッド層7(膜厚1.3 μm), p型InGaAsPバッファ層8(バンドギャップ波長790 nm, 膜厚0.05 μm), p型GaAsキャップ層9(膜厚0.15 μm)を順次、有機金属気相成長法(MOCVD法)またはガスソースMBE法により連続成長させる。各層は、In<sub>0.16</sub>Ga<sub>0.84</sub>As歪量子井戸層23とInGaAsP障壁層22, 24を除き、GaAs基板1に格子整合している。

【0011】次に、通常のCVD工程と通常のホトエッチング工程により幅4.8 μmのストライプ状のSiO<sub>2</sub>エッチングマスクを形成する。これを用いて、まずプロム系エッチャント(HBr : H<sub>2</sub>O : H<sub>2</sub>O<sub>2</sub> = 50 : 50 : 1 ; 体積比)によりp型GaAsキャップ層9, p型InGaAsPバッファ層8を除去し、濃塩酸によりp型InGaAsPクラッド層7を上端から約0.65 μm、即ち半分の厚さまでが(111)A面、残りの約0.65 μmが(111)B面からなる上下左右対称のリッジ形状となるようにエッチングする。このとき、p型GaAsキャップ層9, p型InGaAsPバッファ層8のサイドエッチ量が両端部合わせて約0.8 μmであり、p型InGaAsPクラッド層7の上下端の幅は約3.5 μmとなる。

【0012】上記リッジ部をマスクとして、硫酸系エッチャント(H<sub>2</sub>SO<sub>4</sub> : H<sub>2</sub>O : H<sub>2</sub>O<sub>2</sub> = 1 : 50 : 2 ; 体積比)により三層光導波路層6を幅約3.5 μmのストライプ状に形成する。ここでp型InGaAsPエッチングストップ層32によりエッチングが停止する。その後、濃塩酸により上記p型InGaAsPクラッド層7を上端から下端まで(111)A面からなるリッジ形状となるようにエッチングする。この時、p型InGaAsPエッチングストップ層32も除去される。ここでp型GaAsエッチングストップ層31によりエッチングが停止する。さらに、硫酸系エッチャントによりp型GaAsエッチングストップ層31を除去する。ここで、(001)面と(111)面のなす角度が約55度であるため、リッジ部の下端の幅は約1.7 μmとなる。

【0013】SiO<sub>2</sub>エッチングマスクを選択成長のマスクとして、n型InGaAsP電流ブロック層10の埋込成長を行う。バッファードフッ酸(NH : NH<sub>4</sub>F = 1 : 6 ; 体積比)により上記SiO<sub>2</sub>エッチングマスクを除去した後、p型GaAsコンタクト層11(膜厚0.15 μm)を成長する。P側電極12, N側電極13を蒸着形成し、劈開法により共振器長900 μmの半導体レーザ素子を得た。

【0014】以下図示しないが、その後、素子の前面にλ/4(λ : 発振波長)の厚みのSiO<sub>2</sub>低反射膜を、素子の後面にSiO<sub>2</sub>とa-Siの4層膜からなる高反射膜を形成した。その後、P側電極12がハンダ層に接

6

する向きで、ヒートシンク上にボンディングした。

【0015】ここで、上記三層光導波路層6の幅が3.5 μmであり、これを含むストライプ部全体の実効屈折率が、上記ストライプ部の両側にある部分全体の実効屈折率より0.2%だけ大きい。一方、リッジ部の下端の幅は約1.7 μmと、上記三層光導波路層6より狭く、キャリアは光強度分布のピーク部に集中して分布するため、光強度が大きい場合でも光強度分布とキャリア分布のピークは一致する。このため、光強度分布が非対称となりにくく、また高次モードが励起されにくくなる。試作した素子は、しきい値電流15 mAで室温連続発振し、発振波長は980 nmであった。環境温度25～60℃の条件で、光出力が200 mW程度まで安定に横单一モードで発振した。図6は室温(25℃)における電流対光出力特性である。また最高光出力は400 mWであった。30素子について環境温度50℃で150 mW定光出力連続駆動させたところ、突然劣化することなく、全ての素子が10万時間以上安定に動作した。

【0016】(実施例2) 本発明の第二の実施例を図3を用いて説明する。図3(A)は、本実施例の素子の断面構造を、図3(B)は、活性層付近の断面構造の拡大図を、図3(C)は、三層光導波路の断面構造の拡大図を示している。

【0017】次に、素子の作製方法について述べる。  
(100)面を持つn型GaAs基板1上にn型GaAsバッファ層2(膜厚0.2 μm), n型InGaAsPクラッド層3(膜厚1.5 μm), 第1に実施例と同一の歪量子井戸活性層4, p型InGaPクラッド層5(膜厚0.25 μm), p型GaAsエッチングストップ層31(膜厚1 nm), p型InGaAsPエッチングストップ層32(膜厚1 nm), 第1に実施例と同一の三層光導波路層6, p型InGaAsPクラッド層33(膜厚0.65 μm), p型GaAsエッチングストップ層34(膜厚1 nm), p型InGaAsPクラッド層35(膜厚0.65 μm), p型InGaAsPバッファ層8(バンドギャップ波長790 nm, 膜厚0.05 μm), p型GaAsキャップ層9(膜厚0.15 μm)を順次、有機金属気相成長法(MOCVD法)またはガスソースMBE法により連続成長させる。各層は、In<sub>0.16</sub>Ga<sub>0.84</sub>As歪量子井戸層23とInGaAsP障壁層22, 24を除き、GaAs基板1に格子整合している。

【0018】次に、通常のCVD工程と通常のホトエッチング工程により幅4.8 μmのストライプ状のSiO<sub>2</sub>エッチングマスクを形成する。これを用いて、第一の実施例と同じプロム系エッチャントによりp型GaAsキャップ層9, p型InGaAsPバッファ層8を除去し、濃塩酸によりp型InGaAsPクラッド層35を10分間エッチングする。これにより、p型InGaAsPクラッド層35は、安定な(111)A面が側壁に現われる。

【0019】次に、第一の実施例と同じ硫酸系エッチャ

ントによりp型GaAsエッティングストップ層34を除去した後、濃塩酸によりp型InGaPクラッド層33を1分間エッティングする。エッティング時間が短いため、(111)B面が側壁に現われる。この結果、上下左右対称のリッジ部が形成される。このとき、p型GaAsキャップ層9、p型InGaAsPバッファ層8のサイドエッヂ量が両端部合わせて約0.8μmであり、p型InGaPクラッド層35の上端、p型InGaPクラッド層33の下端の幅は約3.5μmとなる。リッジ部をマスクとして、硫酸系エッチャントにより三層光導波路層6を幅約3.5μmのストライプ状に形成する。ここでp型InGaPエッティングストップ層32によりエッティングが停止する。

【0020】その後、濃塩酸によりp型InGaPクラッド層33を側面全部が(111)A面からなるリッジ形状となるようにエッティングする。この時、p型InGaPエッティングストップ層32も除去される。ここでp型GaAsエッティングストップ層31によりエッティングが停止する。さらに、硫酸系エッチャントによりp型GaAsエッティングストップ層31を除去する。ここでリッジ部の下端の幅は約1.7μmとなる。

【0021】SiO<sub>2</sub>エッティングマスクを選択成長のマスクとして、n型InGaP電流ブロック層10の埋込成長を行う。第一の実施例と同じバッファードフッ酸によりSiO<sub>2</sub>エッティングマスクを除去した後、p型GaAsコンタクト層11を成長する。P側電極12、N側電極13を蒸着形成し、劈開法により共振器長900μmの半導体レーザ素子を得た。

【0022】その後、第一の実施例と同じ端面保護膜を前後端面に形成した。P側電極12がハンダ層に接する向きで、ヒートシンク上にボンディングした。三層光導波路層6の幅が3.5μmであり、これを含むストライプ部全体の実効屈折率が、ストライプ部の両側にある部分全体の実効屈折率より0.2%だけ大きい。一方、リッジ部の下端の幅は約1.7μmと、三層光導波路層6より狭く、第一の実施例と同様、光強度分布が非対称となりにくく、また高次モードが励起されにくくなる。試作した素子は、第一の実施例と同様、しきい値電流15mAで室温連続発振し、発振波長は980nmであった。環境温度25~60℃の条件で、光出力が200mW程度まで安定に横單一モードで発振した。室温(25℃)における電流対光出力特性は図5と同等である。また最高光出力は400mWであった。30素子について環境温度50℃で150mW定光出力連続駆動させたところ、突然劣化することなく、全ての素子が10万時間以上安定に動作した。

【0023】(実施例3) 本発明の第三の実施例を図4を用いて説明する。図4(A)は、本実施例の素子の断面構造を、図4(B)は、活性層付近の断面図を示している。次に、素子の作製方法について述べる。(10

0)面を持つn型GaAs基板1上にn型GaAsバッファ層42、n型Al<sub>0.48</sub>Ga<sub>0.52</sub>Asクラッド層43(膜厚1.5μm)、1層のIn<sub>0.16</sub>Ga<sub>0.84</sub>As歪量子井戸層63(膜厚7nm)とこれを挟む2層のGaAs障壁層62、64(膜厚20nm)より構成される歪量子井戸活性層44、p型Al<sub>0.48</sub>Ga<sub>0.52</sub>Asクラッド層45(膜厚0.25μm)、p型GaAsエッティングストップ層71(膜厚1nm)、p型Al<sub>0.48</sub>Ga<sub>0.52</sub>Asエッティングストップ層72、p型GaAs光導波路層46(膜厚10nm)、p型Al<sub>0.48</sub>Ga<sub>0.52</sub>Asクラッド層73(膜厚0.65μm)、p型GaAsエッティングストップ層74(膜厚1nm)、p型Al<sub>0.48</sub>Ga<sub>0.52</sub>Asクラッド層75(膜厚0.65μm)、p型GaAsキャップ層49を順次、有機金属気相成長法(MOCVD法)またはガスソースMBE法により連続成長させる。

【0024】次に、通常のCVD工程と通常のホトエッティング工程によりストライプ状のSiO<sub>2</sub>エッティングマスクを形成する。これを用いて、アンモニア水と過酸化水素水と水の混合液(以下A液と示す)によりp型GaAsキャップ層49を除去し、煮沸した塩酸によりp型Al<sub>0.48</sub>Ga<sub>0.52</sub>Asクラッド層75を側面が(111)A面になるまで十分にエッティングする。次に、A液によりp型GaAsエッティングストップ層74を除去した後、煮沸した塩酸によりp型Al<sub>0.48</sub>Ga<sub>0.52</sub>Asクラッド層73を側面が(111)B面になるようにエッティングする。この結果、上下左右対称のリッジ部が形成される。このとき、p型Al<sub>0.48</sub>Ga<sub>0.52</sub>Asクラッド層75の上端、p型Al<sub>0.48</sub>Ga<sub>0.52</sub>Asクラッド層73の下端の幅は約3.5μmであった。

【0025】上記リッジ部をマスクとして、A液によりp型GaAs光導波路層46を幅約3.5μmのストライプ状にエッティングする。ここでp型Al<sub>0.48</sub>Ga<sub>0.52</sub>Asエッティングストップ層72によりエッティングが停止する。その後、煮沸した塩酸によりp型Al<sub>0.48</sub>Ga<sub>0.52</sub>Asクラッド層73を側面が(111)A面になるまでエッティングする。リッジ部の下端の幅は約1.7μmとなる。この時、p型Al<sub>0.48</sub>Ga<sub>0.52</sub>Asエッティングストップ層72も除去される。ここでp型GaAsエッティングストップ層71によりエッティングが停止する。さらに、A液によりp型GaAsエッティングストップ層71を除去する。

【0026】SiO<sub>2</sub>エッティングマスクを選択成長のマスクとして、n型Al<sub>0.48</sub>Ga<sub>0.52</sub>As電流ブロック層50の埋込成長を行う。第一の実施例と同じバッファードフッ酸によりSiO<sub>2</sub>エッティングマスクを除去した後、p型GaAsコンタクト層51を成長する。P側電極52、N側電極53を蒸着形成し、劈開法により共振器長900μmの半導体レーザ素子を得た。

【0027】その後、第一の実施例と同じ端面保護膜を前後端面に形成した。P側電極52がハンダ層に接する

9

向きて、ヒートシンク上にボンディングした。p型G a A s光導波路層4 6の幅が3.5 μmであり、一方、リッジ部の下端の幅は約1.7 μmと、p型G a A s光導波路層4 6より狭く、第一の実施例と同様、光強度分布が非対称となりにくく、また高次モードが励起されにくくなる。

【0028】試作した素子は、第一の実施例と同様、しきい値電流15mAで室温連続発振し、発振波長は980nmであった。環境温度25~60°Cの条件で、光出力が200mW程度まで安定に横单一モードが発振した。室温(25°C)における電流対光出力特性は図5と同等である。また最高光出力は400mWであった。30素子について環境温度50°Cで150mW定光出力連続駆動させたところ、突然劣化することなく、全ての素子が10万時間以上安定に動作した。

【0029】

【発明の効果】本発明により、リッジ導波路型半導体レーザにおいて、特に光学的破壊レベルを増大させるべく光ビーム径を大きくした場合でも、安定な单一横モードを保つことができる。特に希土類添加光ファイバ增幅器の励起光源として要求される光出力より、十分高い光出

力において安定な单一横モードで発振し、且つ10万時間以上の長時間にわたって安定に動作するInGaAs歪量子井戸活性層を有する0.98 μm帯半導体レーザを実現した。またこれを使用した希土類添加光ファイバ增幅器により、高帯域光通信ネットワークを実現することが可能となった。

## 【図面の簡単な説明】

【図1】本発明による第一の実施例の素子の断面図。

【図2】従来構造の素子の断面図。

10【図3】本発明による第二の実施例の素子の断面図。

【図4】本発明による第三の実施例の素子の断面図。

【図5】従来の素子の電流対光出力特性図。

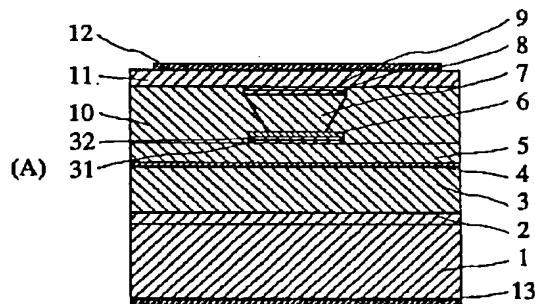
【図6】本発明による第一の実施例の素子の電流対光出力特性図。

## 【符号の説明】

1…n型G a A s基板、3…n型InGaPクラッド層、4…歪量子井戸活性層、5…p型InGaPクラッド層、6…三層光導波路層、7…p型InGaPクラッド層、10…n型InGaP電流プロック層、31…p型G a A sエッチングストップ層、32…p型InGaPエッチングストップ層。

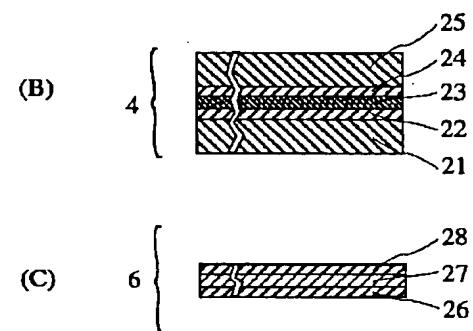
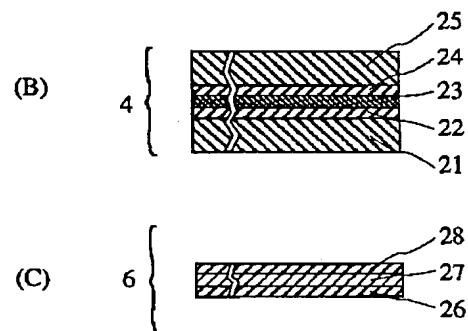
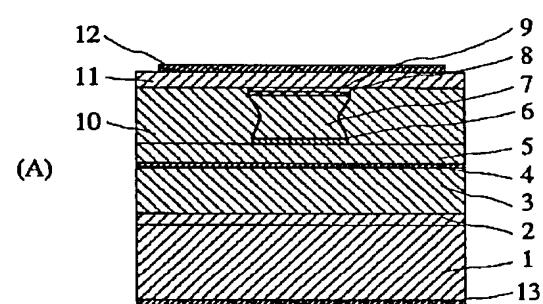
【図1】

図 1



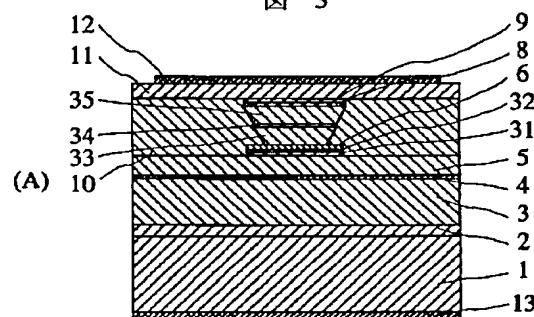
【図2】

図 2



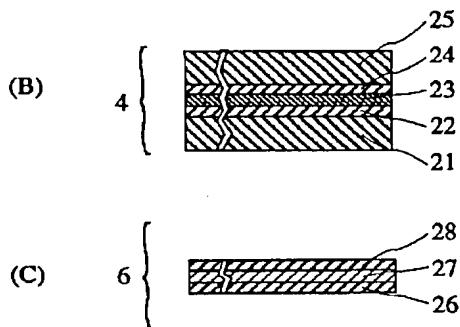
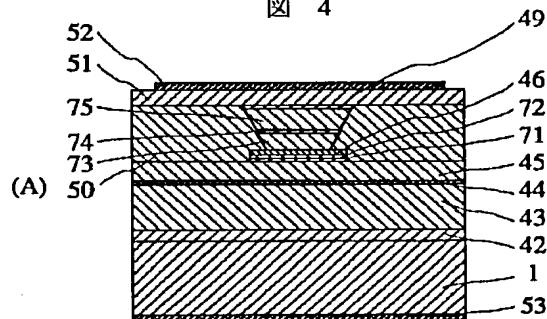
【図3】

図3



【図4】

図4

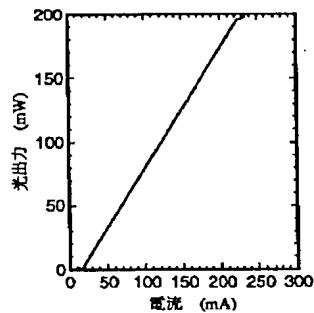
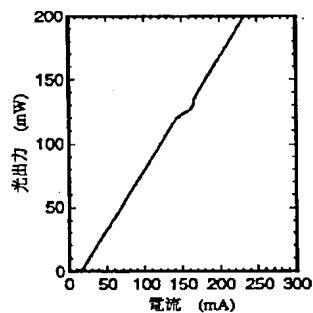


【図5】

【図6】

図5

図6



フロントページの続き

(72) 発明者 篠田 和典

東京都国分寺市東恋ヶ窪1丁目280番地  
株式会社日立製作所中央研究所内

(72) 発明者 野本 悅子

東京都国分寺市東恋ヶ窪1丁目280番地  
株式会社日立製作所中央研究所内